

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-167326

(43)Date of publication of application : 15.06.1992

(51)Int.Cl. H01J 1/30  
H01J 9/02

(21)Application number : 02-293184

(71)Applicant : SONY CORP

(22)Date of filing : 30.10.1990

(72)Inventor : WATANABE HIDETOSHI  
HASEGAWA TOSHIKI

## (54) FIELD EMISSION TYPE EMITTER AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To strengthen a gate electrode in structure to prevent inferior insulation between a cathode and the gate electrode by forming side walls of an insulating film at a cavity part of a field emission type emitter into a reverse tapered shape.

**CONSTITUTION:** An insulating film 2 is formed on a conductive substrate 1, and a cavity 2a formed on the film 2, a cathode 3 formed on the substrate 1 inside the cavity 2a, and a gate electrode 4 formed on the film 2 are provided. Side walls of the film 2 at the part of the cavity 2 are formed into a reverse tapered shape. Since the structure is thereby made such that nearly all portions of the electrode 4 are supported by the film 2, the electrode can be structurally strengthened. Accordingly, the electrode 4 can not be peeled off from the film 2. Since a bottom portion diameter of the cavity 2 is larger than an upper portion diameter thereof, the cathode 3 can be formed into a suitable shape so as to prevent inferior insulation between the cathode 3 and the electrode 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

일본공개특허공보 평04-167326호(1992.06.15) 1부.

[첨부그림 1]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-167326

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月15日

H 01 J 1/30  
9/02

B 9058-5E  
B 9058-5E  
R 9058-5E

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 電界放出型エミッタ及びその製造方法

⑯ 特 願 平2-293184

⑰ 出 願 平2(1990)10月30日

⑱ 発 明 者 渡 辺 英 俊 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑲ 発 明 者 長 谷 川 利 昭 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
㉑ 代 理 人 弁理士 杉浦 正知

明 細 書

1. 発明の名称

電界放出型エミッタ及びその製造方法

2. 特許請求の範囲

(1) 導電性基板と、上記導電性基板上に形成された絶縁膜と、上記絶縁膜に形成されたキャビティと、上記キャビティの内部の上記導電性基板上に形成されたカソードと、上記絶縁膜上に形成されたゲート電極とを具備する電界放出型エミッタにおいて、

上記キャビティの部分の上記絶縁膜の側壁が逆テーパ状になっていることを特徴とする電界放出型エミッタ。

(2) 導電性基板と、上記導電性基板上に形成された絶縁膜と、上記絶縁膜に形成されたキャビティと、上記キャビティの内部の上記導電性基板上に形成されたカソードと、上記絶縁膜上に形成されたゲート電極とを具備する電界放出型エミッタの製造方法において、

上記導電性基板上に上記絶縁膜及び上記ゲート

電極形成用の導体膜を順次形成する工程と、

上記ゲート電極形成用の導体膜上に上記ゲート電極に対応した形状のレジストパターンを形成する工程と、

上記レジストパターンをマスクとして上記ゲート電極形成用の導体膜をエッチングすることにより上記ゲート電極を形成する工程と、

上記ゲート電極をマスクとして上記導電性基板の表面に対してほぼ垂直な方向から上記絶縁膜を異方性エッチングする工程と、

上記ゲート電極をマスクとして上記絶縁膜をウエットエッチングする工程と

を具備することを特徴とする電界放出型エミッタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、電界放出型エミッタ及びその製造方法に関し、例えばフラットCRTのような平面型ディスプレイに適用して好適なものである。

( 発 明 の 概 要 )

この発明は、導電性基板と、導電性基板上に形成された絶縁膜と、絶縁膜に形成されたキャビティと、キャビティの内部の導電性基板上に形成されたカソードと、絶縁膜上に形成されたゲート電極とを具備する電界放出型エミッタにおいて、キャビティの部分の絶縁膜の側壁を逆テーパ状にすることによって、ゲート電極を構造的に強くするとともに、カソードの形状不良によるカソードとゲート電極との間の絶縁不良を防止することができるようにしたものである。

( 従 来 の 技 術 )

従来、ミクロンオーダーのサイズの電界放出型エミッタとして、スピント (Spindle) 型と呼ばれる第 5 図に示すようなものが知られている。

第 5 図に示すように、この電界放出型エミッタにおいては、導電性のシリコン (Si) 基板 101 上に、膜厚が 1 μm 程度の二酸化シリコン (SiO<sub>2</sub>) 膜 102 が形成されている。この SiO<sub>2</sub> 膜

なお、カソード 103 からの電子放出は 10<sup>-4</sup> Torr 程度以下の真空中で行わせる必要がある。上述の電界放出型エミッタは、実際には図示省略した対向板その他の部材により真空封止される。

次に、第 5 図に示す電界放出型エミッタの製造方法について説明する。

第 6 図 A に示すように、まず Si 基板 101 上に例えば CVD 法により SiO<sub>2</sub> 膜 102 を形成した後、この SiO<sub>2</sub> 膜 102 上に例えばスパッタリング法により Mo や W や Cr などのゲート電極形成用の金属膜 105 を形成する。次に、この金属膜 105 上に、形成すべきゲート電極に対応した形状のレジストパターン 106 をリソグラフィにより形成する。

次に、このレジストパターン 106 をマスクとして金属膜 105 をウエットエッチング法またはドライエッチング法によりエッチングして、第 6 図 B に示すように、ゲート電極 104 を形成する。

次に、レジストパターン 106 及びゲート電極 104 をマスクとして SiO<sub>2</sub> 膜 102 をウエット

特開平 4-167326 (2)

102 には、キャビティ 102a が形成されている。そして、このキャビティ 102a の内部の Si 基板 101 上に、モリブデン (Mo) やタングステン (W) などの高融点かつ低仕事関数の金属から成る先端が尖った円錐状のカソード 103 が形成されている。

また、キャビティ 102a の周囲の SiO<sub>2</sub> 膜 102 上には、カソード 103 を囲むように例えば Mo や W やクロム (Cr) などの高融点金属から成るゲート電極 104 が形成されている。ここで、このゲート電極 104 の、カソード 103 の直上の開口部の径は 1 μm 程度である。

この第 5 図に示す電界放出型エミッタは、ゲート電極 104 とカソード 103 との間に 10<sup>4</sup> V/cm 程度以上の電界を印加することにより、カソード 103 を熱することなく電子放出を行わせることができる。そして、このようなミクロンオーダーのサイズの電界放出型エミッタによれば、ゲート電圧は数 10 ~ 100 V 程度でよいことになる。

エッチング法によりエッチングして、第 6 図 C に示すように、キャビティ 102a を形成する。

次に、レジストパターン 106 を除去した後、第 6 図 D に示すように、基板表面に対して傾斜した方向から斜め蒸着を行うことにより、ゲート電極 104 上に例えばアルミニウム (Al) やニッケル (Ni) から成る剥離層 107 を形成する。この後、基板表面に対して垂直な方向からカソード形成用の材料として例えば Mo や W などを蒸着する。これによって、キャビティ 102a の内部の Si 基板 101 上にカソード 103 が形成される。符号 108 は剥離層 107 上に蒸着された金属膜を示す。

この後、剥離層 107 をその上に形成された金属膜 108 とともにリフトオフ法により除去し、第 5 図に示すように目的とする電界放出型エミッタを完成させる。

一方、第 7 図に示すような構造の電界放出型エミッタも知られている。すなわち、第 7 図に示すように、この電界放出型エミッタにおいては、キ

特開平4-167326 (3)

キャビティ102aの側壁は基板表面に対して垂直になっている。その他の構成は第5図に示す電界放出型エミッタと同様である。

この第7図に示す電界放出型エミッタは、キャビティ102aを反応性イオンエッチング(RIE)法により形成することにより製造される。

#### ( 発明が解決しようとする課題 )

上述の第5図に示す従来の電界放出型エミッタは、キャビティ102aの内側に基板表面と平行にゲート電極104が突き出たひさし構造になっているため、ゲート電極104が構造的に弱く、SiO<sub>2</sub>膜102からの剥離などが生じやすいという問題があった。

一方、第7図に示す従来の電界放出型エミッタは、ゲート電極104の全体がSiO<sub>2</sub>膜102により支持された構造となっているので、ゲート電極104は構造的には強い。しかし、この場合には次のような問題がある。すなわち、実際にキャビティ102aをRIE法により形成する場合に

は、キャビティ102aの径が小さいことから、その底部の形状制御は必ずしも容易でない。このため、キャビティ102aの側壁は必ずしも基板表面に対して垂直とならず、底部の径が小さくなったりすることがある。このような場合には、このキャビティ102aの内部に形成されるカソード103の形状不良が生じ、カソード103とゲート電極104との間の絶縁不良が生じるおそれがあった。

従って、この発明の目的は、ゲート電極が構造的に強く、しかもカソードの形状不良によるカソードとゲート電極との間の絶縁不良を防止することができる電界放出型エミッタを提供することにある。

この発明の他の目的は、ゲート電極が構造的に強く、しかもカソードの形状不良によるカソードとゲート電極との間の絶縁不良を防止することができる電界放出型エミッタの製造方法を提供することにある。

#### ( 課題を解決するための手段 )

上記目的を達成するために、第1の発明は、導電性基板(1)と、導電性基板(1)上に形成された絶縁膜(2)と、絶縁膜(2)に形成されたキャビティ(2a)と、キャビティ(2a)の内部の導電性基板(1)上に形成されたカソード(3)と、絶縁膜(2)上に形成されたゲート電極(4)とを具備する電界放出型エミッタにおいて、キャビティ(2a)の部分の絶縁膜(2)の側壁が逆テーパ状になっている。

第2の発明は、導電性基板(1)と、導電性基板(1)上に形成された絶縁膜(2)と、絶縁膜(2)に形成されたキャビティ(2a)と、キャビティ(2a)の内部の導電性基板(1)上に形成されたカソード(3)と、絶縁膜(2)上に形成されたゲート電極(4)とを具備する電界放出型エミッタの製造方法において、導電性基板(1)上に絶縁膜(2)及びゲート電極形成用の導体膜(5)を順次形成する工程と、ゲート電極形成用の導体膜(5)上にゲート電極(4)に対応した

形状のレジストパターン(6)を形成する工程と、レジストパターン(6)をマスクとしてゲート電極形成用の導体膜(5)をエッチングすることによりゲート電極(4)を形成する工程と、ゲート電極(4)をマスクとして導電性基板(1)の表面に対してほぼ垂直な方向から絶縁膜(2)を異方性エッチングする工程と、絶縁膜(2)をウェットエッチングする工程とを具備する。

#### ( 作用 )

上述のように構成されたこの発明の電界放出型エミッタによれば、キャビティの部分の絶縁膜の側壁が逆テーパ状になっていることにより、ゲート電極のほぼ全ての部分が絶縁膜により支持された構造となり、従ってゲート電極を構造的に強くすることができる。また、キャビティの底部の径を十分に大きくすることができるので、カソードの形状不良によるカソードとゲート電極との間の絶縁不良を防止することができる。

また、上述のように構成されたこの発明の電界

## 特開平4-167326 (4)

放出型エミッタの製造方法によれば、ゲート電極をマスクとして導電性基板の表面に対してほぼ垂直な方向から絶縁膜を異方性エッチングした後、絶縁膜をウエットエッチングすることにより、キャビティの部分の絶縁膜の側壁を逆テーパ状にすることができる。これによって、ゲート電極を構造的に強くすることができ、しかもカソードの形状不良によるカソードとゲート電極との間の絶縁不良を防止することができる。

## 【実施例】

以下、この発明の実施例について図面を参照しながら説明する。

第1図はこの発明の第1実施例による電界放出型エミッタを示す。

第1図に示すように、この第1実施例による電界放出型エミッタにおいては、例えばn型またはp型の不純物が高濃度にドーパされたSi基板のような導電性基板1上に、例えば膜厚が1 $\mu$ m程度のSiO<sub>2</sub>膜のような絶縁膜2が形成されている。

この絶縁膜2には、例えば円形の平面形状を有するキャビティ2aが形成されている。

この第1実施例においては、このキャビティ2aの部分の絶縁膜2の側壁は逆テーパ状になっている。すなわち、このキャビティ2aの底部の径は上部の径に比べて大きくなっている。

このキャビティ2aの内部の導電性基板1上には、MoやWなどの高融点かつ低仕事関数の金属から成る先端が尖った円錐状のカソード3が形成されている。

また、キャビティ2aの周囲の絶縁膜2上には、カソード3を囲むように例えばMoやWやCrなどから成るゲート電極4が形成されている。このゲート電極4の、カソード3の直上の開口部の径は例えば1 $\mu$ m程度である。

なお、キャビティ2a及びカソード3を、用途に応じた個数だけ同一の導電性基板1上に配置することにより、電界放出型エミッタアレイを構成することができる。

また、この第1実施例による電界放出型エミ

ッタにおいては、すでに述べた従来の電界放出型エミッタと同様に、ゲート電極4とカソード3との間に10<sup>4</sup> V/cm程度以上の電界を印加することにより、カソード3を熱することなく電子放出を行わせることができ、ゲート電圧は数10～100 V程度で済む。また、カソード3からの電子放出は10<sup>-7</sup> Torr程度以下の真空中で行わせる必要があるため、この第1実施例による電界放出型エミッタは、実際には図示省略した対向板その他の部材により真空封止される。

次に、上述のように構成されたこの第1実施例による電界放出型エミッタの製造方法について説明する。

第2図Aに示すように、まず導電性基板1上に例えばCVD法により絶縁膜2を形成した後、この絶縁膜2上に例えばスパッタリング法によりMoやWやCrなどのゲート電極形成用の金属膜5を形成する。次に、この金属膜5上に、形成すべきゲート電極に対応した形状のレジストパターン6をリソグラフィーにより形成する。

次に、このレジストパターン6をマスクとして金属膜5をウエットエッチング法またはドライエッチング法によりエッチングして、第2図Bに示すように、ゲート電極4を形成する。

次に、レジストパターン6及びゲート電極4をマスクとして絶縁膜2を例えばRIE法により基板表面に対して垂直方向に異方性エッチングして、第2図Cに示すように、基板表面に対してほぼ垂直な側壁を有するキャビティ2aを形成する。

次に、レジストパターン6及びゲート電極4をマスクとして絶縁膜2を例えばフッ化水素(HF)系のエッチング液を用いたウエットエッチング法によりライトエッチングする。ここで、このHF系エッチング液のHF濃度は、例えば1～10%である。このライトエッチングによって、第2図Dに示すように、キャビティ2aの底部の径が上部の径に比べて大きくなり、このキャビティ2aの部分の絶縁膜2の側壁が逆テーパ状になる。

次に、レジストパターン6を除去した後、第2図Eに示すように、基板表面に対して傾斜した方

向から斜め蒸着を行うことにより、ゲート電極 4 上に例えば Al や Ni から成る剝離層 7 を形成する。この後、蒸板表面に対して垂直な方向からカソード形成用の材料として例えば Mo や W など蒸着する。これによって、キャビティ 2 a の内部の導電性蒸板 1 上にカソード 3 が形成される。符号 8 は剝離層 7 上に蒸着された金属膜を示す。

この後、剝離層 7 をその上に形成された金属膜 8 とともにリフトオフ法により除去し、第 1 図に示すように目的とする電界放出型エミッタを完成させる。

以上のように、この第 1 実施例によれば、キャビティ 2 a の部分の絶縁膜 2 の側壁が逆テーパ状になっていて、ゲート電極 4 のほぼ全ての部分が絶縁膜 2 により支持された構造になっているので、ゲート電極 4 を構造的に強くすることができる。このため、ゲート電極 4 が絶縁膜 2 から剝離することがなくなる。また、キャビティ 2 a の底部の径は上部の径に比べて大きくなっているため、カソード 3 を良好な形状に形成することができ、従

(WSi<sub>x</sub>) やモリブデンシリサイド (MoSi<sub>x</sub>) のような高融点金属シリサイドから成るゲート電極 4 がカソード 3 を囲むように形成されている。その他の構成は第 1 実施例と同様である。

多結晶 Si 膜 9 の膜厚は、例えば 500 ~ 1000 Å 程度である。また、ゲート電極 4 を形成する高融点金属シリサイド膜、例えば WSi<sub>x</sub> 膜の膜厚は、例えば 0.2 ~ 0.5 μm である。ここで、この WSi<sub>x</sub> の Si 組成比 x は、好適には例えば 2.4 ~ 2.8 の範囲内に選ばれる。x がこの範囲内にある場合には、WSi<sub>x</sub> 膜の成膜時の内部残留応力は最小となる。さらに、x > 2 の場合には、WSi<sub>x</sub> が酸化を受けたときに SiO<sub>2</sub> が形成されやすく、従って W の酸化が有効に抑えられる。

この第 2 実施例による電界放出型エミッタの製造方法は、第 2 図 A に示す工程において絶縁膜 2 上に例えば CVD 法により多結晶 Si 膜 9 及びゲート電極形成用の導体膜としての高融点金属シリサイド膜を順次形成した後、その上にレジストパターン 6 を形成することを除いて、第 1 実施例の電

#### 特開平 4-167326 (5)

ってカソード 3 とゲート電極 4 との間の絶縁不良を防止することができる。

また、ウェットエッチング法によるライトエッチングに用いるエッチング液の濃度を変えることにより、キャビティ 2 a のテーパ角度を制御することができる。具体的には、HF 系エッチング液の HF 濃度を高くすればテーパ角度を大きくすることができ、濃度を低くすればテーパ角度を小さくすることができる。また、このライトエッチングのエッチング時間を変えることにより、絶縁膜 2 a の側壁の後退量、従ってキャビティ 2 a の大きさを制御することができる。

この第 1 実施例による電界放出型エミッタは、例えばフラット CRT に適用して好適なものである。

第 3 図はこの発明の第 2 実施例による電界放出型エミッタを示す。

第 3 図に示すように、この第 2 実施例においては、キャビティ 2 a の周囲の絶縁膜 2 上に、多結晶 Si 膜 9 を介して例えばタングステンシリサイド

電界放出型エミッタの製造方法と同様である。

この第 2 実施例によれば、第 1 実施例と同様な利点に加えて、次のような利点がある。すなわち、ゲート電極 4 が高融点金属シリサイドにより形成されているので、ゲート電極 4 が製造工程で酸化されることがなくなり、従って酸化によるゲート電極 4 の電気伝導度の低下を防止することができる。これによって、カソード 3 からの電子放出を安定に行わせることができる。

また、酸化によるゲート電極 4 の変形を防止することができる。しかも、このゲート電極 4 の材料である高融点金属シリサイドを CVD 法により形成しているため、Si 組成比 x の制御によりこのゲート電極 4 の内部残留応力を緩和することができ、従ってこれによってもゲート電極 4 の変形を防止することができる。さらに、ゲート電極 4 と絶縁膜 2 との間に多結晶 Si 膜 9 が形成されていることにより、ゲート電極 4 の下地に対する密着性の向上を図ることができる。これによって、ゲート電極 4 が変形により下地から剝離するのを有効

特開平4-167326 (6)

に防止することができる。

また、ゲート電極4の材料であるWSi<sub>2</sub>のような高融点金属シリサイドは、化学的に安定で耐薬品性が良好であるので、製造上都合がよい。

第4図はこの発明の第3実施例による電界放出型エミッタを示す。

第4図に示すように、この第3実施例による電界放出型エミッタは、例えばガラス基板やセラミック基板のような絶縁性基板10上に例えばCrやAlのような金属から成る例えばライン状の導体膜(カソードライン)11を形成したものを基板として用いていることが、第1実施例による電界放出型エミッタと異なる。その他の構成は第1実施例と同様である。

なお、絶縁性基板10としてガラス基板を用いる場合には、好適にはこのガラス基板上にSiO<sub>2</sub>膜やSiN<sub>x</sub>膜のような絶縁膜を形成し、その上に導体膜11が形成される。これによって、ガラス基板の表面の不安定性に起因する不定電位の問題を解決することができ、カソード3からの電子放

出を安定に行わせることができる。

この第3実施例によれば、Si基板に比べて安価で割れや反りが生じる危険性が少なく、しかも大面積のものが容易に得られるガラス基板やセラミック基板を基板として用いているので、電界放出型エミッタの製造コストの低減を図ることができ、基板の割れや反りによる製造歩留まりの低下を防止することができ、しかも電界放出型エミッタアレイによるフラットCRTのような平面型ディスプレイなどの大面積化にも容易に対応することができる。

以上、この発明の実施例につき具体的に説明したが、この発明は、上述の実施例に限定されるものではなく、この発明の技術的思想に基づき各種の変形が可能である。

(発明の効果)

以上述べたように、この発明によれば、キャビティの部分の絶縁膜の側壁が逆テーパ状になっているので、ゲート電極を構造的に強くすることが

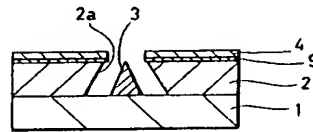
できるとともに、カソードの形状不良によるカソードとゲート電極との間の絶縁不良を防止することができる。

#### 4. 図面の簡単な説明

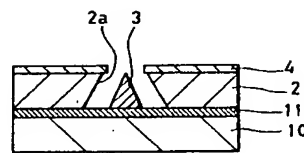
第1図はこの発明の第1実施例による電界放出型エミッタを示す断面図、第2図A～第2図Eは第1図に示す電界放出型エミッタの製造方法を工程順に説明するための断面図、第3図はこの発明の第2実施例による電界放出型エミッタを示す断面図、第4図はこの発明の第3実施例による電界放出型エミッタを示す断面図、第5図は従来の電界放出型エミッタを示す断面図、第6図A～第6図Dは従来の電界放出型エミッタの製造方法を工程順に説明するための断面図、第7図は他の従来の電界放出型エミッタを示す断面図である。

#### 図面における主要な符号の説明

1 : 導電性基板、 2 : 絶縁膜、 2a : キャビティ、 3 : カソード、 4 : ゲート電極、 9 : 多結晶Si膜、 10 : 絶縁性基板。

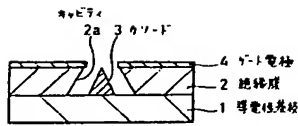


第2実施例  
第3図

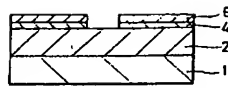


第3実施例  
第4図

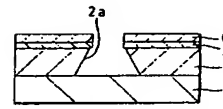
特開平4-167326 (7)



第1実施例  
第1図



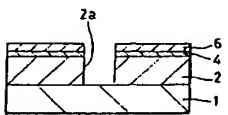
製造方法  
第2図B



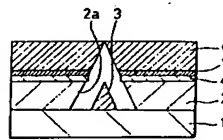
製造方法  
第2図D



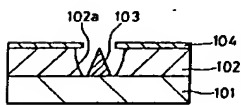
製造方法  
第2図A



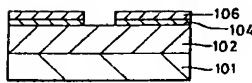
製造方法  
第2図C



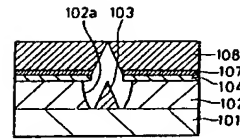
製造方法  
第2図E



従来例  
第5図



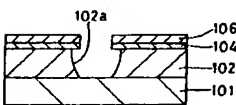
製造方法  
第6図B



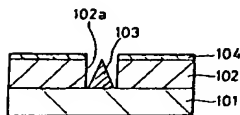
製造方法  
第6図D



製造方法  
第6図A



製造方法  
第6図C



他の従来例  
第7図